



REC'D 07 OCT 2003

WIPO PCT

1802/3979

**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen: 102 43 885.4

Anmeldetag: 21. September 2002

Anmelder/Inhaber: Philips Intellectual Property & Standards GmbH,
Hamburg/DE
(vormals: Philips Corporate Intellectual Property
GmbH)

Bezeichnung: Konverterschaltung und Regelverfahren hierfür

IPC: H 02 M 1/08

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 10. Juni 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

A 9161
03/00
EDV-L

BEST AVAILABLE COPY



BESCHREIBUNG

Konverterschaltung und Regelverfahren hierfür

Die Erfindung betrifft eine Konverterschaltung und ein Regelverfahren sowie eine Ansteuerereinrichtung für eine Konverterschaltung.

5

Konverterschaltungen dienen zum Umformen einer Eingangs- in eine Ausgangsspannung. Speziell für DC/DC Konverterschaltungen sind eine Vielzahl von Topologien bekannt, d. h. Schaltungen mit entsprechender Ansteuerung der darin verwendeten Schalter, um diverse Anforderungen zu erfüllen.

10

Eine bekannte Konvertertopologie ist der synchrone Tiefsetzsteller (Buck-Konverter). Er weist eingangsseitig eine Halbbrücke mit einem ersten Schaltelement (Control) und einem zweiten Schaltelement (Sync) auf, die an einer Eingangsgleichspannung betrieben wird. In dem zwischen den Schaltelementen angeschlossenen Brücken-zweig befindet sich eine Induktivität, hinter der die Last angeschlossen ist. Die Schaltelemente werden jeweils abwechselnd, z.B. mit einer Pulsweitensteuerung angesteuert. Buck-Konverter werden für einen weiten Bereich von Anwendungen eingesetzt, darunter VRMs (Voltage Regulator Modules) für moderne Mikroprozessoren.

15

20

Die Schaltelemente weisen üblicherweise Freilauf-Dioden auf. Bei der Verwendung von Feldeffekt-Transistoren als Schaltelemente ist die Freilauf-Diode Teil des Schaltelements, nämlich die Diode zwischen Drain und Source. Bei der Ansteuerung von Halbbrücken ist es üblich, Totzeiten zwischen dem Schalten der Schaltelemente vorzusehen, um das gleichzeitige Leiten der Schaltelemente und die hieraus resultierenden Brückenquerströme (Shoot-Through) zu verhindern. Nach dem Abschalten eines Schaltelements folgt jeweils eine Totzeit, in der beide Schaltelemente ausgeschaltet sind. In dieser Totzeit wird der – aufgrund der ausgangssseitigen Induktivität notwendig stetige – Strom aufrecht erhalten, indem eine Freilauf-Diode leitet.

25

Beim Umschalten zwischen den Schaltelementen unterscheidet man "harte" und "weiche" Schaltübergänge (Soft-Switching). Bei harten Schaltübergängen erfolgt das Einschalten eines Schaltelements, während über dem Schaltelement Spannung anliegt. Bei weichen Schaltübergängen, auch bezeichnet als ZVS (Zero Voltage Switching), liegt
5 beim Einschalten eines Schaltelements hierüber keine oder eine nur sehr geringe Spannung an. Beim Betrieb des Buck-Konverters in der Weise, dass der Laststrom durch die Induktivität nicht die Polarität wechselt (kontinuierlicher Betrieb) ergibt sich ein Verhalten, bei dem innerhalb jeder Schaltperiode ein "harter" Schaltübergang stattfindet (Umschalten von Sync- auf Control-Schalter) und ein ZVS-Übergang (Umschalten von Control- auf Sync-Schalter).

Um bei Konverterschaltungen eine weitere Miniaturisierung und eine möglichst schnelle Reaktion auf Lastwechsel zu erreichen, sind hohe Schaltfrequenzen wünschenswert. Problematisch sind allerdings die mit der Frequenz ansteigenden Schaltverluste. Ein
15 wesentlicher Teil dieser Schaltverluste stammt aus dem Rückwärtsstrom (Reverse-Recovery) der Freilauf-Diode des Synchronschalters. Dieser tritt beim synchronen Buck-Konverter bei den harten Schaltübergängen von Sync- auf den Control-Schalter auf. Dasselbe Problem ergibt sich auch bei anderen Konverter-Topologien.

0 In der US-A-5 539 630 werden bekannte DC/DC Schaltkonverter im Hinblick auf ihre Nachteile untersucht. Für den Buck-Converter wird hierbei das Reverse-Recovery-Problem genannt, dem mit einer Schaltung mit einem magnetischen Sättigungselement begegnet werden soll.

25 Auch die US-A-5 479 089 befasst sich mit verschiedenen Konverter-Topologien, darunter Buck- und Boost-Konverter. Um die Schalteffizienz von Konvertern zu verbessern, wird eine Ansteuervorrichtung vorgeschlagen, die den Freilauf, d. h. das Leiten der Freilauf-Diode, verringert. Gleichzeitig wird durch eine logische Verriegelung der Schaltelemente gegeneinander sichergestellt, dass diese nicht gleichzeitig leiten können,
30 so dass Brückenquerströme vermieden werden.

In der US-A1-2001/0036085 ist ein DC/DC Konverter beschrieben. Es handelt sich um einen synchronen Buck-Konverter der "soft switching" betrieben wird, d.h. dass beide Schaltübergänge "weich" erfolgen. Hier ist die Totzeit zwischen dem Schalten der Schaltelemente innerhalb der Ansteuerschaltung geregelt. Durch Betrachtung der Ab-
5 leitung der Spannung über dem Sync-Schaltelement wird die Totzeit kürzer oder länger eingestellt, so dass sich eine "ideale Totzeit" einstellt.

In der US-B1-6396250 ist ein synchroner Buck-Konverter beschrieben, bei dem eine hohe Effizienz angestrebt wird. Die Ansteuerung des ersten und zweiten Schaltelements erfolgt hierbei mit einer variablen Totzeit. Die Totzeit wird hierbei durch eine Regelung auf einen als optimal bezeichneten Wert eingestellt. Für die Regelung wird die Spannung über dem zweiten Schaltelement betrachtet. Überschreitet diese eine voreingestellte Spannungsschwelle, die zwischen 0 V und der Durchlassspannung der Freilauf-
15 diode liegt, so wird mittels eines Zählers eine geringere Totzeit eingestellt.

Es ist Aufgabe der Erfindung, eine Konverterschaltung sowie eine Ansteuereinrichtung und ein Ansteuerverfahren hierfür vorzuschlagen, mit denen die Schaltverluste in noch größerem Maße verringert werden als mit bisher bekannten Lösungen.

Diese Aufgabe wird gelöst durch eine Konverterschaltung nach Anspruch 1, eine Ansteuereinrichtung nach Anspruch 9 und ein Ansteuerverfahren nach Anspruch 11. Abhängige Ansprüche beziehen sich auf vorteilhafte Ausführungsformen der Erfindung.

25 Die Erfindung geht hierbei von der Überlegung aus, dass die mit Reverse-Recovery der Freilauf-Diode verbundenen Verluste verhindert oder verringert werden können, wenn bei einem harten Schaltübergang das Leiten dieser Freilauf-Diode vermieden oder zumindest weitgehend vermieden wird. Die erfindungsgemäße Überlegung geht dahin, dass bei herkömmlichen Topologien stets eine Totzeit von positiver Dauer vorgesehen

war, in der beim Abschalten des zweiten Schaltelements der vorher hierdurch fließende Strom bisher von der Freilauf-Diode übernommen wurde. Wenn stattdessen jedoch der Strom vom anderen Schaltelement übernommen wird, kann ein Leiten der Freilauf-Diode unter Umständen vollständig vermieden werden. In jedem Fall kann aber das Leiten so weit verringert werden, dass die für den Rückwärtsstrom verantwortliche Sperrverzugszeit stark verringert wird.

Erfindungsgemäß wird daher vorgeschlagen, dass beim Umschalten von dem zweiten Schaltelement auf das erste Schaltelement (d. h. dem Übergang von einem ersten Zustand, in dem das zweite Schaltelement leitet und das erste Schaltelement nicht leitet auf einen zweiten Zustand, in dem das erste Schaltelement leitet und das zweite Schaltelement nicht leitet) die zeitliche Abfolge der Ansteuerung der Schaltelemente geregelt wird. Die Regelung erfolgt in der Weise, dass ermittelt wird, ob ein Brückenquerstrom auftritt oder die Freilauf-Diode leitet. Beim Auftreten eines Brückenquerstroms wird die Ansteuerung so geändert, dass das erste Schaltelement später eingeschaltet wird. Wird ermittelt, dass die Freilauf-Diode leitet, so erfolgt eine geänderte Ansteuerung in der Weise, dass das erste Schaltelement früher eingeschaltet wird. Die Begriffe "früher" bzw. "später" sind relativ zum Ausschalten des zweiten Schaltelements zu verstehen. Sie legen nicht fest, welcher der Schaltvorgänge (Einschalten des ersten Schaltelements, Ausschalten des zweiten Schaltelements) zuerst erfolgt. Grundsätzlich sind hier geringe Totzeiten (d.h. das erste Schaltelement schaltet erst nach dem Abschalten des zweiten Schaltelements ein) möglich. Bevorzugt wird jedoch eine Überlappingsperiode (d.h. das erste Schaltelement schaltet vor dem Abschalten des zweiten Schaltelements ein).

Die Erfindung wendet sich damit ab von bekannten Lösungen, bei denen stets zwingend eine Totzeit zwischen dem Ausschalten eines Schaltelements und dem Einschalten des anderen Schaltelements vorgesehen war. Statt dessen wird eine echte Kommutierung vorgeschlagen, bei der der erste (Control-)Schalter den Laststrom vom zweiten (Sync-)Schalter übernimmt. Das Timing ist hierbei entscheidend. Durch die erfindungsgemäße

Regelung wird es so eingestellt, dass im Idealfall Brückenquerströme und das Leiten der Freilauf-Diode vermieden werden.

Dadurch, dass das Leiten der Freilauf-Diode verringert oder vollständig vermieden wird, kommt es nicht zu erheblichen Verlusten durch Reverse-Recovery. Hierdurch wird eine deutliche Verringerung der Schaltverluste erreicht, was vor allem im Betrieb bei hohen Schaltfrequenzen wichtig ist.

Die Erfindung ist bevorzugt anwendbar auf sämtliche Konverter-Topologien, bei denen der Freilaufpfad eines induktiven Elements über ein Schaltelement mit einer parallelen Freilaufdiode geht, mit einem harten Schaltübergang an dem Schaltelement. Hierbei wird unter "hart abschalten" verstanden, dass die Spannung über dem Schaltelement von der Vorwärts- in die Sperrrichtung der Freilaufdiode geändert wird. Der Freilaufpfad eines induktiven Elements ist der Strompfad, der das Weiterfließen eines induktiven Stroms ermöglicht, nachdem ein Schalter, dessen Einschalten den Stromaufbau bewirkt hat, abgeschaltet wurde. Dies umfasst beispielsweise Topologien mit einer Halb- sowie auch mit einer Vollbrücke, die ja aus zwei Halbbrücken aufgebaut ist. Beispiele für derartige Topologien sind außer dem synchronen Buck-Konverter der synchrone Boost-Konverter, der synchrone Buck-Boost Konverter, der synchrone Up-Down-Konverter sowie hiervon abgeleitete Topologien. Die in konkreten Schaltungen verwendeten Schaltelemente werden üblicherweise Feldeffekt-Transistoren sein, wobei die Freilauf-Diode üblicherweise kein separates Bauelement ist, sondern bspw. bei MOSFETs eine Eigenschaft des Halbleiter-Schalters.

Gemäß einer Weiterbildung der Erfindung ist vorgesehen, dass die zeitliche Abfolge beim Umschalten vom zweiten auf das erste Schaltelement so ist, dass eine Überlappungsperiode vorgesehen wird, während derer beide Schaltelemente gleichzeitig leiten. Hierbei wird ein als MOSFET realisierter Schalter als leitend angesehen, wenn

seine Gate-Spannung oberhalb der Schwellenspannung liegt. Die Dauer der Überlappungsperiode wird geregelt, indem ermittelt wird, ob nach Abschalten des zweiten Schaltelements ein Brückenquerstrom auftritt oder es zum Leiten der Freilauf-Diode kommt. Bei Auftreten eines Brückenquerstroms wird die Dauer der Überlappungsperiode verringert. Kommt es zum Leiten der Freilauf-Diode, so wird die Dauer der Überlappungsperiode erhöht. Durch diese Regelstrategie wird die zeitliche Abfolge der Ansteuerung auf ein Optimum eingestellt.

Als Messgröße für die Regelung kann die Spannung über dem zweiten Schaltelement dienen. Gemäß einem ersten Vorschlag wird anhand des Spannungsverlaufes ermittelt, ob ein Brückenquerstrom auftritt oder die Freilauf-Diode leitet. Dies ist bspw. möglich durch Ermittlung des absoluten Minimums dieser Spannung innerhalb eines Schaltintervalls. Dieses Minimum tritt nach Abschalten des zweiten Schaltelements auf. Im Fall des Leitens der Freilaufdiode fällt die Spannung für einige Zeit auf deren Durchlass-Spannung. Im Fall des Auftretens eines Brückenquerstroms kommt es unmittelbar nach dem Abschalten zur Änderung der Polarität der Spannung. In einer bevorzugten Regelung kann dies auf besonders einfache Weise berücksichtigt werden, indem die zeitliche Abfolge, bspw. die Überlappungsdauer so eingestellt wird, dass das sich einstellende Spannungsminimum einen Wert zwischen der Durchlass-Spannung des Schaltelements und der Durchlass-Spannung der Freilauf-Diode annimmt. Die Messung der minimalen Spannung ist deshalb besonders einfach, weil es sich um die Erfassung eines absoluten Minimums handelt. Für die Messung von derartigen Spitzenwerten stehen dem Fachmann bekannte Mittel zur Verfügung, wobei die Messung nicht auf einen engen Zeitbereich innerhalb der Schaltperiode begrenzt werden muss.

Gemäß einem alternativen Vorschlag wird die nach Abschalten des zweiten Schaltelements infolge des Umladens der Schaltkapazität auftretende Schwingung betrachtet. Die Amplitude dieser abklingenden Schwingung ist minimal in dem Fall, in dem weder Brückenquerströme noch Diodenleitung auftreten. Bevorzugt wird der erste Spitzenwert

der Schwingung gemessen, der gleichzeitig das absolute Maximum der Spannung während der Schaltperiode ist. Durch Regelung der Überlappungsdauer so, dass der Spitzenwert minimiert wird, kann die erfindungsgemäß angestrebte Regelung realisiert werden. Auch hier kann mit einfachen Mitteln die Messung des Spannungs-Spitzen-

5 werts erfolgen.

Bei der Messung der Spannung über ein Schaltelement kann es vorkommen, dass die Genauigkeit der Messung außerhalb des Gehäuses bspw. durch Gehäuse-Impedanzen beeinträchtigt wird. Als Weiterbildung wird daher ein Schaltelement vorgeschlagen, bei dem eine oder mehrere zusätzliche, dedizierte Messleitungen vorgesehen sind. Während über die vorhandenen Anschlussleitungen erhebliche Ströme fließen, so dass bspw. Induktivitäten wie sie an einem Bond-Draht auftreten bereits eine deutliche Auswirkung haben, dient die Messleitung nur zum Abgriff einer Spannung, bspw. bei einem MOS-FET der Spannung über der Drain-Source Strecke. Bei der Spannungsmessung fließt

15 nur ein so geringer Strom über die Messleitung, dass das Messergebnis nicht nennenswert verfälscht wird.

Gemäß einer Weiterbildung der Erfindung erfolgt die Regelung der zeitlichen Abfolge, d. h. beispielsweise der Dauer der Überlappungsperiode so, dass in mindestens einer ersten Schaltperiode eine Messung von elektrischen Größen der Konverterschaltung erfolgt und hiervon ausgehend für eine weitere Schaltperiode, die nach der ersten Schaltperiode liegt, die Dauer der Überlappungsperiode eingestellt wird. So steht auch bei hohen Frequenzen ausreichend Zeit für die Festlegung zur Verfügung. Die zweite Schaltperiode muss hierbei nicht unmittelbar auf die erste Schaltperiode folgen, sondern

25 es kann sich auch um die übernächste oder eine der folgenden Schaltperioden handeln. Bevorzugt werden für die Festlegung des Zeitablaufs in einer Schaltperiode die Messwerte mehrerer vorhergehender Schaltperiode ausgewertet.

Beim Beginn des Betriebs der erfindungsgemäßen Konverterschaltung wird bevorzugt, dass zunächst eine Totzeit zwischen dem Abschalten des zweiten Schaltelements und dem Einschalten des ersten Schaltelements eingehalten wird. Da, wie bereits diskutiert, das korrekte Timing kritisch ist, ist auf diese Weise sichergestellt, dass der Betrieb zu-
nächst in einem unkritischen Bereich – wenn auch mit zunächst etwas höheren Verlusten – beginnt. Durch die erfindungsgemäße Regelung wird dann die zeitliche Abfolge des Schaltens des ersten und zweiten Schaltelements so verändert, dass die zunächst eingestellte Totzeit immer weiter verringert und schließlich das Optimum erreicht wird, bei dem ggf. sogar eine Überlappungsperiode eingestellt wird.

Eine Weiterbildung der Erfindung sieht vor, dass beim Umschalten vom zweiten auf das erste Schaltelement das erste Schaltelement zunächst so angesteuert wird, dass der hierdurch fließende Strom auf einen Maximalwert begrenzt wird. Im Fall eines MOS-FET wird dies durch Ansteuerung mit verringerter Gate-Spannung erreicht. Der so eingestellte Maximalwert für den Strom liegt oberhalb des Nenn-Ausgangsstroms der Konverterschaltung. Möglich sind hierbei bspw. Werte im Bereich geringfügig oberhalb des Nennstroms, bspw. beim 1,2-fachen Nennstrom. Möglich ist auch die Einstellung eines sehr hohen Maximalwerts, beispielsweise bei oder oberhalb des 2-fachen Nenn-Ausgangsstroms. Der Maximalwert soll so gewählt werden, dass die hierdurch erreichte Begrenzung des Stroms im normalen Betrieb nicht effektiv wird, da hiermit hohe Verluste verbunden sind.

Nachfolgend werden Ausführungsformen der Erfindung anhand von Zeichnungen näher beschrieben. In den Zeichnungen zeigen:

Fig. 1a ein prinzipielles Schaltbild eines synchronen Buck-Konverters;

Fig. 1b ein prinzipielles Schaltbild eines synchronen Boost-Konverters;

Fig. 1c ein prinzipielles Schaltbild eines synchronen BuckBoost-Konverters;

Fig. 1d ein prinzipielles Schaltbild eines synchronen Up/Down-Konverters;

Fig. 2 ein Schaltbild einer Realisierung des Buck-Konverters aus Fig. 1a;

Fig. 3 ein schematisches Diagramm zur Darstellung des Verlaufes von Strömen und Spannungen der Schaltung aus Fig. 2 bei einer Ansteuerung mit Totzeit (Stand der Technik);

5 Fig. 4 ein schematisches Diagramm zur Darstellung des Verlaufes von Strömen und Spannungen der Schaltung aus Fig. 2 bei einer Ansteuerung mit idealer Überlappungszeit;

Fig. 5 eine vergrößerte Darstellung des zweiten Übergangs aus Fig. 4;

Fig. 6 ein schematisches Diagramm zur Darstellung des Verlaufes von Strömen und Spannungen der Schaltung aus Fig. 2 bei einer Ansteuerung mit zu großer Überlappungszeit und Auftreten von Brückenquerstrom;

Fig. 7 ein schematisches Diagramm mit Darstellung des Verlaufs der Spannung über dem zweiten Schaltelement aus Fig. 2;

15 Fig. 8 ein schematisches Diagramm zur Darstellung des Verlaufes von Strömen und Spannungen der Schaltung aus Fig. 1 bei einer Ansteuerung mit geringerer Gate-Spannung;

Fig. 9 ein schematisches Diagramm zur Darstellung des Verlaufes von Strömen und Spannungen der Schaltung aus Fig. 1 bei einer Ansteuerung mit geringerer Gate-Spannung und Begrenzung des auftretenden Brückenquerstroms.

In den Fig. 1a – 1d sind Konverter-Schaltungen in den bekannten Topologien Buck-Konverter (Fig. 1a), Boost-Konverter (Fig. 1b), BuckBoost-Konverter (Fig. 1c) und Up/Down-Konverter (Fig. 1d) gezeigt. Die jeweiligen Konverterschaltungen 10 formen jeweils eine Eingangsspannung V_i in eine Ausgangsspannung V_o am Ausgang um. Die
25 Konverterschaltungen 10 weisen jeweils ein erstes Schaltelement T_1 , ein zweites Schaltelement T_2 und ein induktives Element L auf. Eine Freilaufdiode D_2 ist Teil eines Freilaufpfades für den Strom durch das induktive Element L . Die Schaltelemente T_2 , die in Fig. 1a-1d parallel zur Freilaufdiode D_2 dargestellt sind, arbeiten als Synchron-Gleichrichter, d.h. sie sind synchron zu D_2 geschaltet, so dass sie leiten, wenn ohne das Vor

handensein von T_2 die Diode D_2 leiten würde, um damit die aufgrund der größeren Durchlassspannung auftretenden Verluste zu vermeiden.

Die in Fig. 1a-d ideal als Schalter dargestellten T_1 , T_2 werden in der Praxis üblicherweise durch MOSFETs realisiert, wobei durch Anlegen einer Gate-Spannung der Source-Drain-Übergang geschaltet wird. Die Dioden D_2 sind dann üblicherweise keine diskreten Bauelemente, sondern die internen Body-Dioden der verwendeten MOSFETs.

Im folgenden soll beispielhaft näher auf eine Ausführungsform der Erfindung mit Hinblick auf die synchrone Buck-Konvertertopologie eingegangen werden. Der synchrone Buck-Konverter aus Fig. 1a weist ein erstes Schaltelement T_1 (Control-Schalter) und ein zweites Schaltelement T_2 (Sync-Schalter) auf, die in Form einer Halbbrücke 12 an der Eingangsspannung V_i angeschlossen sind. Am Brückenmittelpunkt 13 ist eine Induktivität L angeschlossen, hinter der der Ausgang V_o liegt. Parallel zum Ausgang ist eine Glättungskapazität C_o vorgesehen. Eine am Ausgang angeschlossene Last (nicht dargestellt) würde parallel zu C_o liegen. Die Funktion des in Fig. 1a dargestellten Buck-Konverters im kontinuierlichen Betrieb ist dem Fachmann an sich bekannt. Die Schalter T_1 , T_2 werden mit Spannungspulsen bspw. einer pulsweitenmodulierten Spannung angesteuert, so dass sich eine gegenüber der Eingangsspannung V_i verringerte Ausgangsspannung V_o ergibt, wobei die Ausgangsspannung über die Ansteuerung der Schalter (z.B. Tastverhältnis) regelbar ist.

In Fig. 2 ist eine Konverterschaltung 20 als Realisierung der Topologie aus Fig. 1 dargestellt. T_1 , T_2 sind als MOSFETs realisiert, deren Gate-Anschluß jeweils von Treiberschaltungen 22, 24 angesteuert wird. Ein Regler 26 steuert die Treiber 22, 24 an. Der Regler 26 ist auch an den Brückenmittelpunkt 13 und Masse angeschlossen, so dass er die Spannung V_{T2} über das zweite Schaltelement erfassen kann. Die Freilauf-Diode D_2 ist die interne Body-Diode (Drain-Source) des Schalters T_2 , wobei D_2 in Fig. 2 nicht noch einmal separat dargestellt ist. Zusätzlich weisen die Schalter T_1 , T_2 parasitär vorhandene Schaltkapazitäten auf (nicht dargestellt).

In Fig. 3 ist qualitativ der Zeitverlauf von elektrischen Größen der Schaltung 20 innerhalb einer Schaltperiode T dargestellt. Hierbei ist mit V_{G1} die Gate-Spannung am ersten Schaltelement T_1 und mit V_{G2} die Gate-Spannung am zweiten Schaltelement T_2 bezeichnet. Der in Fig. 3 dargestellte Zeitverlauf der Ströme I_{T1} durch das erste Schaltelement, I_{T2} durch das zweite Schaltelement und I_{D2} durch die Freilaufdiode D_2 entspricht hierbei lediglich einer qualitativen Wiedergabe, mit der der prinzipielle Verlauf dieser Größen gezeigt werden soll. An realen Schaltungen gemessene Verläufe können aufgrund einer Vielzahl von parasitären Effekten hiervon abweichen.

Wie in Fig. 3 gezeigt werden die Schalter T_1 , T_2 jeweils mit Spannungspulsen, beispielsweise einer pulswidenmodulierten Spannung angesteuert. Deren Zeitverlauf (Frequenz, Tastverhältnis) wird durch ein Eingangssignal am Regler 26 festgelegt, bspw. um die Ausgangsspannung V_o in bekannter Weise zu regeln. In Fig. 3 gezeigt ist eine der aufeinanderfolgenden Schaltperioden T , die zunächst einen Bereich zeigt, in dem der Schalter T_1 an, d.h. leitend, ist. In diesem Fall fließt der Strom I_L als I_{T1} durch das erste Schaltelement T_1 . Das Umschalten von T_1 auf T_2 erfolgt mit einer ersten Totzeit Δt_1 , wobei zunächst T_1 aus- und erst am Ende der ersten Totzeit Δt_1 T_2 eingeschaltet wird. Da der Strom I_L durch die Induktivität L nicht plötzlich abnehmen kann, kommt es im ersten Totzeit-Intervall Δt_1 zum Leiten der Freilaufdiode D_2 am zweiten Schaltelement T_2 . Nach dem Einschalten von T_2 , übernimmt dieser den Strom I_L als I_{T2} , so dass der Strom I_{D2} durch die Diode wieder auf Null absinkt. Dieser erste Schaltübergang von T_1 auf T_2 ist bei der dargestellten Topologie ein "weicher" Schaltübergang, bei dem T_2 einschaltet, während seine Schaltkapazität nicht aufgeladen ist.

Im Zusammenhang mit der vorliegenden Erfindung wird nun der zweite Umschaltvorgang von T_2 auf T_1 betrachtet. Bei der herkömmlichen Ansteuerung (Fig. 3) wurde hierbei stets eine zweite Totzeit Δt_2 vorgesehen, wobei zunächst der zweite Schalter T_2 ausgeschaltet wird und erst nach Ende der Totzeit Δt_2 der erste Schalter wieder eingeschaltet wird. Der zweite Schaltübergang ist ein "harter" Schaltübergang, bei dem T_1 zu

einem Zeitpunkt einschaltet, zu dem seine Schaltkapazität etwa auf V_i aufgeladen ist. Während der Totzeit wird der Strom I_L wiederum durch die Freilaufdiode D_2 geleitet. Nach dem Einschalten von T_1 wird die Diode D_2 jedoch in Sperrrichtung betrieben. Hierbei kommt es während einer Sperrverzugszeit zu einem Rückwärtsstrom (reverse recovery) durch die Freilaufdiode D_2 , die für kurze Dauer in Sperrrichtung leitet. Dieser Rückwärtsstrom durch die Diode D_2 ist in Fig. 2 mit "RR" gekennzeichnet. Hierbei ist die Amplitude und auch die Dauer dieses Reverse Recovery-Stroms der besseren Anschaulichkeit halber allerdings übertrieben dargestellt. Wie aus dem Verlauf des Stroms I_{T1} durch das erste Schaltelement erkennbar ist, führt der Reverse Recovery-Strom zu einer deutlichen spiegelbildlichen Erhöhung von I_{T1} . Dies führt in jedem Schaltzyklus zu erheblichen Verlusten.

Fig. 4 zeigt nun eine Ansteuerung gemäß einer ersten Ausführungsform der Erfindung. Bei dieser Ansteuerung wird der Buck-Konverter 20 aus Fig. 2 beim zweiten Schaltübergang, d.h. Umschalten vom zweiten Schaltelement T_2 auf das erste Schaltelement T_1 , in spezieller Weise angesteuert.

Wie aus Fig. 4 erkennbar, wird bei der Ansteuerung gemäß der ersten Ausführungsform der Erfindung keine zweite Totzeit Δt_2 vorgesehen. Stattdessen wird während einer kurzen Überlappungsperiode $\Delta t_{\text{overlap}}$ die Halbbrücke 12 so betrieben, dass sowohl T_1 als auch T_2 leiten. Idealerweise führt dies, wie in Fig. 4 sichtbar, dazu, dass eine Kommuntierung des Stroms I_L von I_{T2} auf I_{T1} erfolgt. Wenn hierbei I_{T1} im selben Maße ansteigt wie I_{T2} abfällt, kommt es idealerweise wie in Fig. 4 gezeigt, nicht zum Leiten der Diode D_2 , so dass während des zweiten Schaltübergangs der Strom I_{D2} auf Null bleibt.

Der zweite Schaltübergang aus Fig. 4 ist in Fig. 5 noch einmal mit vergrößertem Zeitmaßstab dargestellt. Hierbei wurde versucht, qualitativ die Verläufe der dargestellten Größen zu zeigen. Die vereinfachte, qualitative Darstellung dient dem besseren Verständnis. Bei der in Fig. 4 und Fig. 5 gezeigten Darstellung wurde bspw. jeweils das

Umladen der Schaltkapazitäten der Schalter T_1 , T_2 vernachlässigt. Tatsächlich muss T_1 noch kurze Zeit zusätzlich Strom führen, um die Schaltkapazitäten umzuladen.

Die Überlappungszeit $\Delta t_{\text{overlap}}$ umfasst den Bereich, in den beide Schalter T_1 , T_2 gleichzeitig leitend sind, d.h., dass die jeweiligen Gate-Spannungen V_{G1} , V_{G2} oberhalb der Schwellenspannungen V_{thr} der MOSFETs sind. Die Überlappungszeit $\Delta t_{\text{overlap}}$ wird bei einer konkreten Realisierung sehr kurz sein, beispielsweise wenige Nanosekunden dauern.

Der in Fig. 5 dargestellte Verlauf der Gate-Spannung V_{G1} und V_{G2} beim Einschalten des ersten Schaltelements zeigt einen möglichen Verlauf dieser Spannungen. Der tatsächliche Verlauf hängt von einer Anzahl Faktoren (bspw. Gate-Source Kapazität, Eigenschaften des Treiber-Bausteins etc.) ab und kann abweichen. Ebenso ist die Abhängigkeit der Leitfähigkeit der Drain-Source-Strecken der beiden Schalter von den Gate-Spannungen ist im hohen Maße nichtlinear. Der jeweilige Verlauf der Gate-Spannungen ist hier nicht entscheidend, sondern es kommt auf den Verlauf der Ströme I_{T2} , I_{T1} an. Diealerweise kann, wie in Fig. 5 gezeigt, ein Timing gefunden werden, bei dem sich eine ideale Kommutierung von I_{T2} auf I_{T1} ergibt, ohne dass es zum Leiten der Diode D_2 kommt.

Bei der Ansteuerung gemäß der ersten Ausführungsform der Erfindung kommt es maßgeblich auf exaktes Timing an. Ist die Zeitabfolge beim Umschalten von T_2 auf T_1 zu langsam, d.h. wird eine zu große Totzeit Δt_2 oder eine zu geringe Überlappungszeit $\Delta t_{\text{overlap}}$ gewählt, so kommt es wie in Fig. 3 gezeigt zum Leiten der Diode D_2 und nachfolgend zu einem Reverse Recovery-Strom mit den entsprechenden Verlusten. Wird andererseits eine zu lange Überlappungsperiode $\Delta t_{\text{overlap}}$ gewählt, tritt aufgrund des gleichzeitigen Leitens beider Schalter T_1 , T_2 ein Brückenquerstrom auf, bei dem Strom vom Eingang V_i als Kurzschlussstrom direkt durch die Schalter T_1 , T_2 fließt (Shoot Through Current). Die entsprechende Situation ist in Fig. 6 dargestellt. Bei der hier

gewählten langen Überlappungsdauer $\Delta t_{\text{overlap}}$ kommt es zu einem negativen Stromfluss I_{T2} durch das zweite Schaltelement T_2 . Die entsprechende Spitze tritt gespiegelt auch als stark erhöhter Strom I_{T1} durch das erste Schaltelement T_1 auf. Ein derartiger Brückenquerstrom verursacht extrem hohe Verluste und kann zu Beschädigungen der Schaltelemente T_1, T_2 führen.

Die bei einer konkreten Realisierung optimale Zeitabfolge (Fig. 5) im voraus zu bestimmen und einzustellen ist deshalb extrem schwer, weil das jeweilige Verhalten von vielen Faktoren, darunter Eigenschaften der Bauteile, aber auch vom jeweiligen Betriebszustand (Last, Temperatur etc.) abhängt. Um daher ein möglichst gutes Timing zu erreichen, damit wie in Fig. 4 und 5 dargestellt eine Kommuntierung von I_{T1} auf I_{T2} erfolgt, wird der Regler 26 zur Regelung der zeitlichen Abfolge des Schaltens von T_1 und T_2 eingesetzt. Der Regler 26 stellt diese für jede Schaltperiode T so ein, dass einerseits das Leiten der Diode D_2 und der hiernach auftretende Rückwärtsstrom vermieden wird und andererseits auch ein Brückenquerstrom verhindert wird. Die Regelung sorgt für ein späteres Einschalten von T_1 , d.h. sie verringert $\Delta t_{\text{overlap}}$, wenn ein Brückenquerstrom auftritt. Wird Leiten der Diode D_2 beim Übergang vom zweiten Schaltelement T_2 auf das erste Schaltelement T_1 festgestellt, wird T_1 früher eingeschaltet, d.h. $\Delta t_{\text{overlap}}$ vergrößert.

Die Unterscheidung der oben genannten Fälle von Diodenleitung einerseits und Brückenquerstrom andererseits kann erfolgen anhand der Betrachtung der Spannung U_{T2} über das zweite Schaltelement T_2 . Hierfür weist der Regler 26 entsprechende Eingänge auf. In Fig. 7 ist der Verlauf der Spannung V_{T2} nach dem Abschalten des zweiten Schaltelements T_2 dargestellt. Gezeigt sind hierbei drei Zeitverläufe A, B und C, wobei B den Verlauf von V_{T2} bei Auftreten eines Brückenquerstroms zeigt, C den Spannungsverlauf bei Diodenleitung und A einen angestrebten Verlauf, in dem sowohl Diodenleitung als auch Brückenquerstrom vermieden werden. Die Darstellung in Fig. 7 ist wiederum rein qualitativ zu verstehen und soll zur prinzipiellen Verdeutlichung der Zusammenhänge dienen.

Die Spannung V_{T2} befindet sich während T_2 leitet auf einem geringen, negativen Wert, der der Durchlassspannung des Schaltelements T_2 entspricht, also im Fall eines MOSFET beispielsweise etwa $-0,1$ V. Im Fall der Kurve C kommt es nach dem Abschalten von T_2 zum Leiten der Diode D_2 . Damit sinkt die Spannung T_2 auf die Durchlassspannung der Diode D_2 von beispielsweise etwa $-0,7$ Volt, die betragsmäßig etwas höher ist als die Durchlassspannung eines MOSFET. Nachdem das Schaltelement T_1 den Strom I_L vollständig übernommen hat, sperrt Diode D_2 und die Spannung V_{T2} steigt an. Hierbei wird die Schaltkapazität von T_2 geladen, was zu der in Fig. 7 gezeigten abklingenden Oszillation von V_{T2} führt (Die Schaltkapazität von T_2 bildet mit stets vorhandenen parasitären Induktivitäten einen Reihenschwingkreis): Da die Oszillation abklingt, ist das erste Maximum \hat{V}_C das Maximum der Spannung. Dieses Maximum ist beim Leiten der Diode D_2 überhöht. Misst man Minimum und Maximum der Spannung V_{T2} , so ergibt sich daher im Fall der Kurve C ein $V_{\min, C}$, das der negativen Durchlassspannung der Diode D_2 entspricht und ein relativ hohes Spannungsmaximum \hat{V}_C .

Im Fall einer zu langen Überlappungsdauer $\Delta t_{\text{overlap}}$ und des hieraus folgenden Brückenquerstroms verläuft die Spannung V_{T2} etwa wie in Kurve B gezeigt. Von der negativen Durchlassspannung des Schalters T_2 steigt die Spannung ohne vorheriges Absinken schnell an. Auch hier ergibt sich eine abklingende Oszillation der Spannung V_{T2} . Auch in diesem Fall ist die Höhe des ersten Maximums \hat{V}_B abhängig vom Strom I_{T2} der zum Zeitpunkt des Abschaltens von T_2 geflossen ist. Da dieser Strom dem Brückenquerstrom entspricht, ist \hat{V}_B bei Auftreten eines solchen Stroms deutlich überhöht. Die Kurve B ist somit gekennzeichnet durch ein Spannungsminimum $V_{\min, B}$, das der Durchlassspannung von T_2 entspricht und ein hohes Spannungsmaximum \hat{V}_B .

Ein mit Hilfe der Regelung angestrebter Verlauf von V_{T2} ist als Kurve A dargestellt. Von dem zunächst geringfügig negativen Wert (Durchlassspannung von T_2) steigt V_{T2}

nach Abschalten von T_2 nicht sofort an (dies würde auf Brückenquerstrom hindeuten), sondern fällt geringfügig bis auf einen Wert $V_{\min, A}$ ab. Von dort steigt V_{T2} an, wobei sich auch hier eine abklingende Schwingung zeigt. Deren Amplitude und damit auch das erste Maximum \hat{V}_A sind jedoch deutlich geringer als in den Fällen B (Brückenquerstrom) und C (Diodenleitung). Die Kurve A ist somit hinsichtlich Minimum und Maximum gekennzeichnet durch ein geringes \hat{V}_A und ein $V_{\min, A}$, das zwischen der Durchlassspannung von T_2 und der Durchlassspannung der Diode D_2 liegt.

In der ersten Ausführungsform einer Regelung 26 wird der sich nach dem Abschalten von T_2 einstellende Maximalwert der Spannung V_{T2} gemessen. Die Regelung wird so ausgelegt, dass der Wert \hat{V}_{T2} auf ein Minimum geregelt wird, was beispielsweise der Kurve A in Fig. 7 entsprechen könnte. Das Problem bei dieser Regelung ist, dass bei einem erhöhten Wert \hat{V}_{T2} nicht ohne weiteres festgestellt werden kann, ob dies auf ein zu schnelles Timing (Brückenquerstrom, Kurve B) oder zu langsames Timing (Diodenleitung, Kurve C) zurückzuführen ist. Diesem Problem kann jedoch begegnet werden, indem man sich dem optimalen Timing (minimaler Wert von \hat{V}_{T2}) stets von einer Seite nähert. So kann das Timing beispielsweise zunächst wie in Fig. 2 gezeigt mit einer Totzeit Δt_2 beginnen. Diese wird dann schrittweise verringert, bis \hat{V}_{T2} einen minimalen Wert annimmt.

In einer zweiten, bevorzugten Ausführungsform wird der Spannungsverlauf von \hat{V}_{T2} nach dem Abschalten von T_2 hinsichtlich des sich einstellenden Minimums betrachtet. Wie im Zusammenhang mit Fig. 7 erläutert unterscheiden sich die Kurven A, B und C eindeutig anhand des sich nach Abschalten von T_2 einstellenden Minimalwerts für V_{T2} . Die Regelung zielt darauf ab, den Minimalwert von V_{T2} auf einen festgelegten Wert $V_{\min, A}$ zu regeln, der zwischen der Durchlassspannung von D_2 ($V_{\min, C}$) und der Durchlassspannung von T_2 ($V_{\min, B}$) liegt. Bei Verwendung eines MOSFET könnte also beispielsweise ein $V_{\min, A}$ von $-0,3$ V als Ziel der Regelung vorgegeben sein. Stellt sich ein $V_{T2\min}$ ein, das oberhalb dieses Wertes liegt (Hinweis auf Brückenquerstrom), so

wird das Timing derart verändert, dass T_1 später eingeschaltet wird. Stellt sich ein V_{T2min} von weniger als dem Vorgabewert ein (Hinweis auf Diodenleitung), so wird das Timing derart verändert, dass T_1 früher eingeschaltet wird.

- 5 Die beiden oben dargestellten Ausführungsformen der Regelung 26 sind als Beispiele gedacht. Einerseits ist es möglich, den in Fig. 7 qualitativ dargestellten Verlauf der Spannung V_{T2} auf andere Weise zu beobachten und festzustellen, ob Brückenquerströme oder Diodenleitung auftreten. Andererseits können auch andere elektrische Größen der Schaltung 10 erfasst werden, wie beispielsweise der Strom I_{T2} , und hieraus
- 10 Rückschlüsse über das Verhalten gezogen werden. Es ist auch möglich, die oben genannten Kriterien zur Beurteilung des Kurvenverlaufs von V_{T2} zu kombinieren, um zu sicheren Aussagen zu kommen.

- Bei der Realisierung einer konkreten Regelung arbeitet der Regler 26 nach dem Ein-
- 15 schalten zunächst so, dass eine Ansteuerung mit Totzeit (Fig. 3) erfolgt. In jeder Schaltperiode T erfolgt dann die Beobachtung von elektrischen Größen der Schaltung 20 wie oben angegeben. Ausgehend von den Beobachtungen in einer oder mehreren Schaltperioden, wird der Vorgabewert für das Timing in der folgenden (bzw. einer der folgenden) Schaltperioden mit Hilfe der oben genannten Regelung festgelegt. Ausgehend von
- 20 einer zunächst großzügig bemessenen Totzeit nach dem Einschalten führt dies dazu, dass diese Totzeit so lange verringert wird, bis das gewünschte Ergebnis eines optimalen Timings mit direkter Kommuntierung von T_2 auf T_1 erreicht ist. Diese Ergebnis der Regelung wird dann voraussichtlich im Bereich einer Totzeit von negativer Dauer, d.h. einer kurzen Überlappungszeit $\Delta t_{overlap}$ erreicht. Das Timing wird stets weiter geregelt,
- 25 so dass auf eine Änderung der Betriebsbedingungen, bspw. Lastwechsel, schnell reagiert wird.

- In einer dritten Ausführungsform der Erfindung erfolgt die Ansteuerung des ersten Schaltelements T_1 in einer Schutzperiode nach dem Einschalten mit reduzierter Gate-
- 30 Spannung. Durch Ansteuerung mit geeignet reduzierter Gate-Spannung kann der durch

einen MOSFET fließende Strom auf einen Maximalwert begrenzt werden. Wird allerdings diese Begrenzung wirksam, d.h. würde ohne die geringe Gate-Spannung ein höherer Strom fließen, als dem Maximalwert entspricht, kommt es an dem MOSFET zu einem erhöhten Spannungsabfall und einer entsprechend hohen Verlustleistung. Daher
5 wird für die dritte Ausführungsform der Erfindung die Ansteuerung mit einer solchen Gate-Spannung vorgeschlagen, dass der sich ergebende maximale Strom durch das erste Schaltelement T_1 oberhalb des im Nennbetrieb durch T_1 fließenden Stroms I_{Nenn} liegt. So dient diese Art der Ansteuerung dazu, erhöhte Ströme I_{T1} zu begrenzen, wie sie im Zusammenhang mit Brückenquerstrom auftreten.

Eine entsprechende Ansteuerung ist qualitativ in Fig. 8 dargestellt. Für eine geringe Zeitdauer Δt_p , die den Einschaltzeitpunkt von T_1 einschließt, wird die Gate-Spannung V_{G1} am ersten Schaltelement T_1 nicht auf den vollen, sondern lediglich einen reduzierten Wert $V_{G1,p}$ eingestellt. Da dieser Wert $U_{G1,p}$ aber so hoch gewählt ist, dass der
15 Strom I_{T2} , der maximal den Nennstrom I_{nenn} erreicht und damit unterhalb des dadurch festgelegten Schwellenwerts $I_{T1,p}$ liegt, nicht beeinträchtigt ist, ergibt sich im in Fig. 8 dargestellten normalen Betrieb keine Auswirkung der veränderten Ansteuerung.

Kommt es hingegen aufgrund eines längeren Überlappungsintervalls $\Delta t_{overlap}$ wie in Fig.
20 9 gezeigt zu einem erheblichen Brückenquerstrom, so wird dieser auf den durch die reduzierte Gate-Spannung $U_{G1,p}$ vorgegebenen Maximalwert $I_{T1,p}$ beschränkt. Hierdurch entstehen zwar erhebliche Verluste in T_1 . Die Gefahr von Zerstörungen durch entsprechende Überströme besteht aber nicht mehr.

25 Der Wert für $I_{T1,p}$ wird so festgelegt, dass die Begrenzung möglichst selten wirksam wird. $I_{T1,p}$ kann beispielsweise auf das 2-fache des Nennstroms I_{Nenn} am Ausgang der Konverterschaltung festgelegt werden. In diesem Fall ist die Ansteuerung nach der dritten Ausführungsform als Schutzmechanismus zu verstehen, der in dem Fall, dass die

oben genannte Regelung beispielsweise aufgrund von Lastwechseln oder anderen Effekten einen Überstrom nicht effektiv verhindern kann, die Schaltung vor Zerstörung schützt.

- 5 Es kann jedoch auch vorgesehen sein, den Wert $I_{T1,p}$ geringer anzusetzen, beispielsweise beim 1,2 bis 1,5-fachen des Nennstroms I_{Nenn} . Hiermit kann – zusätzlich zum Schutz vor Beschädigung durch zu hohe Ströme – z.B. die Amplitude der Schwingung von V_{T2} reduziert und damit die elektromagnetische Störaussendung verringert werden.
- 10 Die vorstehend beschriebenen Ausführungsformen der Erfindung wurden anhand des synchronen Buck-Konverters erläutert. Die Art der Ansteuerung, die Regelverfahren und die Strombegrenzung sind jedoch in beliebiger Kombination auch bei den anderen Konverter-Topologien (Fig. 1b – 1d) anwendbar. Bei allen Topologien kann der die Ansteuerung der Schalter vorgebende Regler 26 einerseits in bekannter Weise die Ausgangsspannung regeln,
15 und andererseits das Timing beim Umschalten so vorgeben, dass die Schaltverluste minimiert werden.

PATENTANSPRÜCHE

1. Konverterschaltung mit

- mindestens einem ersten Schaltelement (T_1) und einem zweiten Schaltelement (T_2) und einem induktiven Element (L),
- wobei eine Ansteuereinrichtung (26) vorgesehen ist, um die Schaltelemente (T_1 , T_2) wechselseitig zu schalten, so dass ein Strom (I_L) durch das induktive Element (L) fließt,
- und wobei mindestens am zweiten Schaltelement (T_2) eine Freilauf-Diode (D_2) vorgesehen ist, das den durch das induktive Element (L) fließenden Strom nach dem Abschalten des ersten Schaltelements (T_1) leiten kann,
- wobei die Ansteuereinrichtung (26) die zeitliche Abfolge der Ansteuerung der Schaltelemente (T_1 , T_2) beim Umschalten von dem zweiten Schaltelement (T_2) auf das erste Schaltelement (T_1) regelt, indem ermittelt wird, ob ein Brückenquerstrom auftritt oder die Freilauf-Diode (D_2) leitet,
- wobei beim Auftreten eines Brückenquerstroms die Ansteuerung so geändert wird, dass das Einschalten des ersten Schaltelements (T_1) gegenüber dem Ausschalten des zweiten Schaltelements (T_2) später erfolgt,
- und bei Leiten der Freilauf-Diode (D_2) die Ansteuerung so geändert wird, dass das Einschalten des ersten Schaltelements (T_1) gegenüber dem Ausschalten des zweiten Schaltelements (T_2) früher erfolgt.

2. Konverterschaltung nach Anspruch 1, bei der

- die Schaltelemente (T_1 , T_2) so angesteuert werden, dass sie während einer Überlappungsperiode ($\Delta t_{\text{overlap}}$) gleichzeitig leitend sind,
- 5 - und wobei die Ansteuereinrichtung (26) die Dauer der Überlappungsperiode ($\Delta t_{\text{overlap}}$) regelt, indem ermittelt wird, ob ein Brückenquerstrom auftritt oder die Freilauf-Diode (D_2) leitet,
- wobei beim Auftreten eines Brückenquerstroms die Dauer der Überlappungsperiode verringert wird,
- 10 - und bei Leiten der Freilauf-Diode (D_2) die Dauer der Überlappungsperiode erhöht wird.

3. Konverterschaltung nach einem der vorangehenden Ansprüche, bei der

- die Ansteuereinrichtung (26) Mittel zur Messung der Spannung (V_{T_2}) über dem zweiten Schaltelement (T_2) umfasst, wobei die Spannung (V_{T_2}) mindestens nach
- 15 - Abschalten des zweiten Schaltelements (T_2) beobachtet wird,
- und anhand des Spannungsverlaufs ermittelt wird, ob ein Brückenquerstrom auftritt oder die Freilauf-Diode (D_2) leitet.

20 4. Konverterschaltung nach Anspruch 3, bei der

- das zweite Schaltelement (T_2) ein MOSFET in einem Gehäuse ist,
- bei dem mindestens Anschlussleitungen für Drain, Source und Gate aus dem Gehäuse nach außen geführt sind,
- wobei eine oder mehrere zusätzliche Messleitungen für den Abgriff der Spannung
- 25 (V_{T_2}) zwischen Drain und Source vorgesehen ist.

5. Konverterschaltung nach Anspruch 3 oder 4, bei der

- der Spitzenwert (\hat{V}_{T_2}), der sich nach dem Abschalten des zweiten Schaltelements (T_2) ergebenden oszillierenden Spannung, ermittelt wird,
- und die zeitliche Abfolge der Ansteuerung der Schaltelemente (T_1 , T_2) so festgelegt wird, dass der Spitzenwert (\hat{V}_{T_2}) minimiert wird.

6. Konverterschaltung nach Anspruch 3 oder 4, bei der

- ein Minimum der Spannung (V_{T_2}) über dem zweiten Schaltelement (T_2) ermittelt wird,
- und die zeitliche Abfolge der Ansteuerung der Schaltelemente (T_1 , T_2) so festgelegt wird, dass der Wert des Minimums zwischen der Durchlass-Spannung des zweiten Schaltelements (T_2) und der Durchlass-Spannung der Freilauf-Diode (D_2) liegt.

7. Konverterschaltung nach einem der vorangehenden Ansprüche, bei der

- die Regeleinrichtung Mittel zur Messung mindestens einer elektrischen Größe (V_{T_2}) der Konverterschaltung (12) umfasst,
- wobei während mindestens einer ersten Schaltperiode (T) mindestens eine Messung erfolgt,
- und anhand der Messung die zeitliche Abfolge der Ansteuerung der Schaltelemente (T_1 , T_2) in einer zweiten Schaltperiode festgelegt wird.

8. Konverterschaltung nach einem der vorangehenden Ansprüche, bei der

- zu Beginn des Betriebs bei der Umschaltung vom zweiten auf das erste Schaltelement eine Totzeit zwischen dem Abschalten des zweiten Schaltelements (T_2) und dem Einschalten des ersten Schaltelements (T_1) vorgesehen ist.

9. Konverterschaltung nach einem der vorangehenden Ansprüche, bei der

- beim Umschalten von dem zweiten Schaltelement (T_2) auf das erste Schaltelement (T_1)
- das erste Schaltelement (T_1) für eine Schutzperiode, die einen Zeitraum mindestens bis zum Abschalten des zweiten Schaltelements (T_2) umfasst, so angesteuert wird, dass der Strom durch das erste Schaltelement (T_1) einen Schwellenwert ($I_{T1,max}$) nicht überschreiten kann,
- wobei der Schwellenwert ($I_{T1,max}$) oberhalb des Nenn-Ausgangsstroms der Konverterschaltung liegt.

10. Ansteuereinrichtung für eine Konverterschaltung nach einem der vorangehenden Ansprüche, mit

- einer Einrichtung zur wechselseitigen Ansteuerung mindestens eines ersten Schaltelements (T_1) und eines zweiten Schaltelements (T_2)
- und einer Einrichtung zur Ermittlung, ob ein Brückenquerstrom auftritt oder eine Freilauf-Diode (D_2) leitet,
- wobei die zeitliche Abfolge der Ansteuerung der Schaltelemente (T_1 , T_2) beim Umschalten von dem zweiten Schaltelement (T_2) auf das erste Schaltelement (T_1) derart geregelt wird, dass wobei beim Auftreten eines Brückenquerstroms die Ansteuerung so geändert wird, dass das Einschalten des ersten Schaltelements (T_1) gegenüber dem Ausschalten des zweiten Schaltelements (T_2) später erfolgt, und bei Leiten der Freilauf-Diode (D_2) die Ansteuerung so geändert wird, dass das Einschalten des ersten Schaltelements (T_1) gegenüber dem Ausschalten des zweiten Schaltelements (T_2) früher erfolgt.

11. Ansteuerungsverfahren für eine Konverterschaltung mit mindestens einer Halbbrücke

(12) mit einem ersten und einem zweiten Schaltelement (T_1 , T_2), wobei mindestens am zweiten Schaltelement (T_2) eine Freilauf-Diode (D_2) vorgesehen ist, bei dem

- die zeitliche Abfolge des Schaltens der Schaltelemente (T_1 , T_2) beim Umschalten vom zweiten Schaltelement (T_2) auf das erste Schaltelement (T_1) geregelt wird,
- wobei festgestellt wird, ob die Freilauf-Diode (D_2) leitet oder ein Brückenquerstrom auftritt,
- wobei für den Fall des Auftretens eines Brückenquerstroms das Einschalten des ersten Schaltelements (T_1) gegenüber dem Abschalten des zweiten Schaltelements (T_2) später erfolgt,
- und für den Fall des Leitens der Freilauf-Diode (D_2) das Einschalten des ersten Schaltelements (T_1) gegenüber dem Abschalten des zweiten Schaltelements (T_2) früher erfolgt.

ZUSAMMENFASSUNG

Konverterschaltung und Ansteuerungsverfahren hierfür

Bei bekannten Konverterschaltungen ergeben sich Schaltverluste aus Reverse-Recovery-Strömen einer Freilauf-Diode. Zur Verringerung dieser Schaltverluste schlägt die Erfindung vor, die Schaltelemente so anzusteuern, dass die zeitliche Abfolge beim Umschalten vom zweiten auf das erste Schaltelement geregelt wird, so dass Brückenquerströme und das Leiten der Freilauf-Diode gering gehalten, bevorzugt vermieden werden. Für die Regelung wird vorgeschlagen, beim Auftreten von Brückenquerströmen das erste Schaltelement später einzuschalten und beim Auftreten von Leiten der Freilauf-Diode das erste Schaltelement früher einzuschalten. Hierbei kann auch eine Überlappungsdauer vorgesehen sein, in der beide Schaltelemente gleichzeitig leitend sind. Für die Regelung kann die Spannung über einem Schaltelement als Messgröße dienen.

15 Fig. 5

Fig. 5

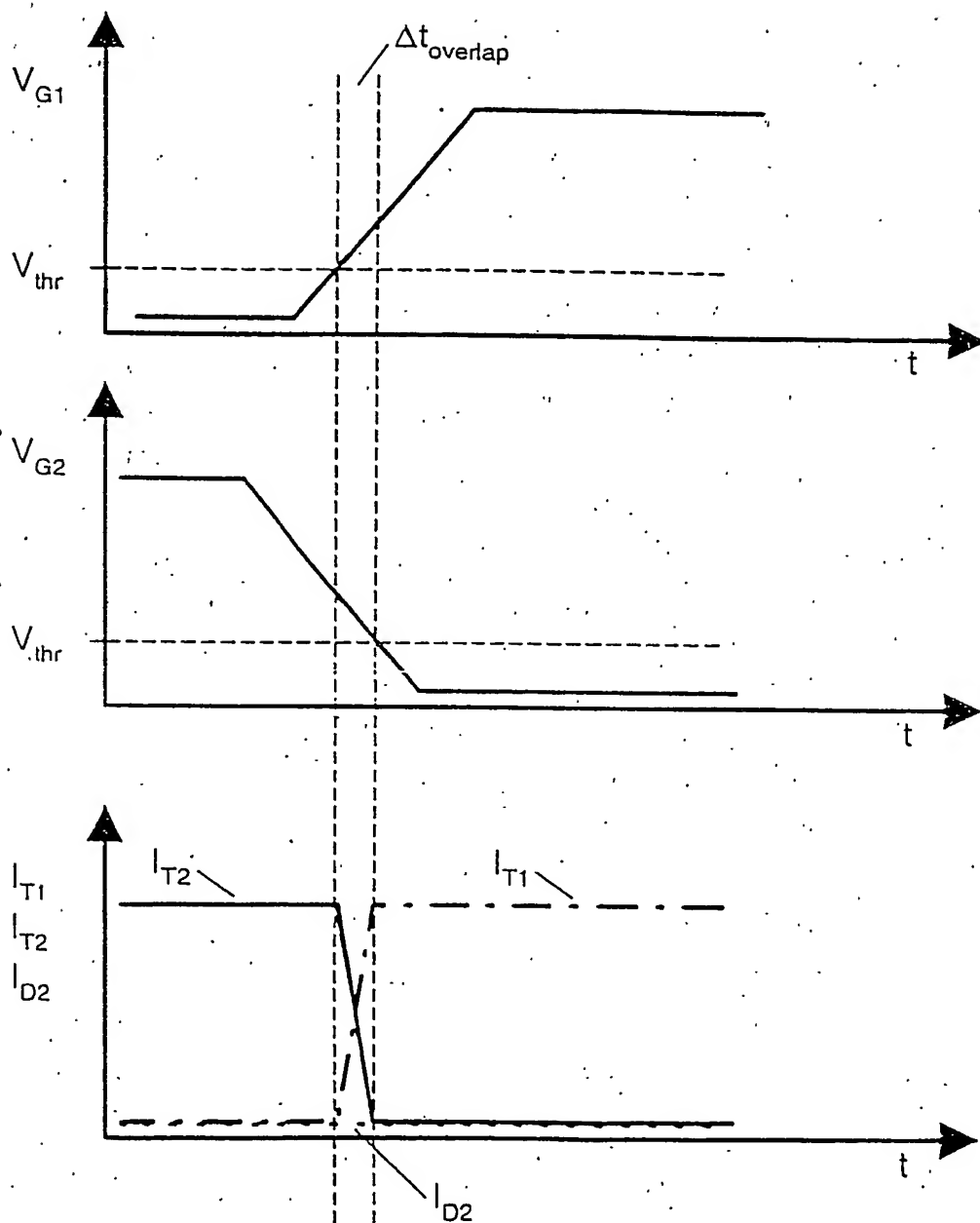


Fig. 1a

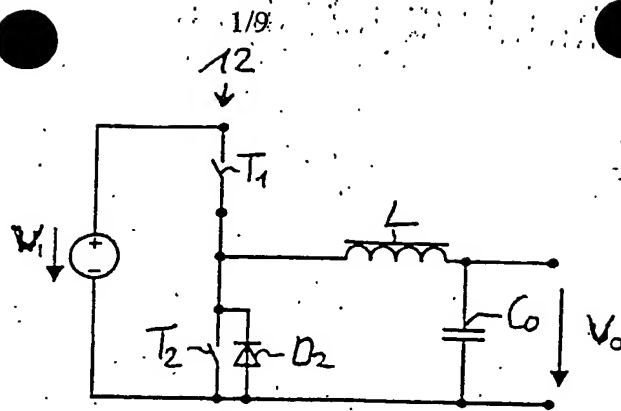


Fig. 1b

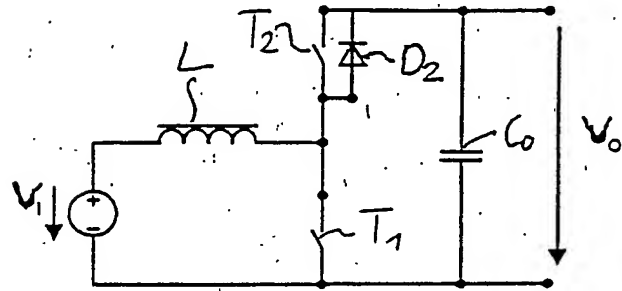


Fig. 1c

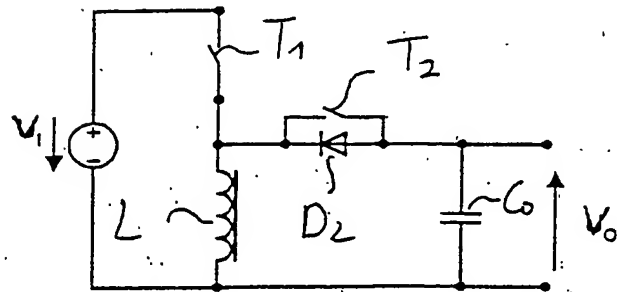


Fig. 1d

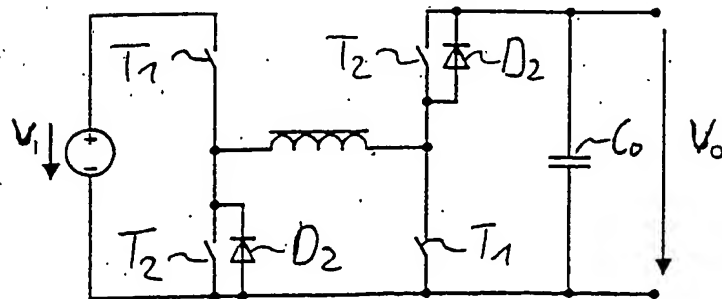


Fig. 2

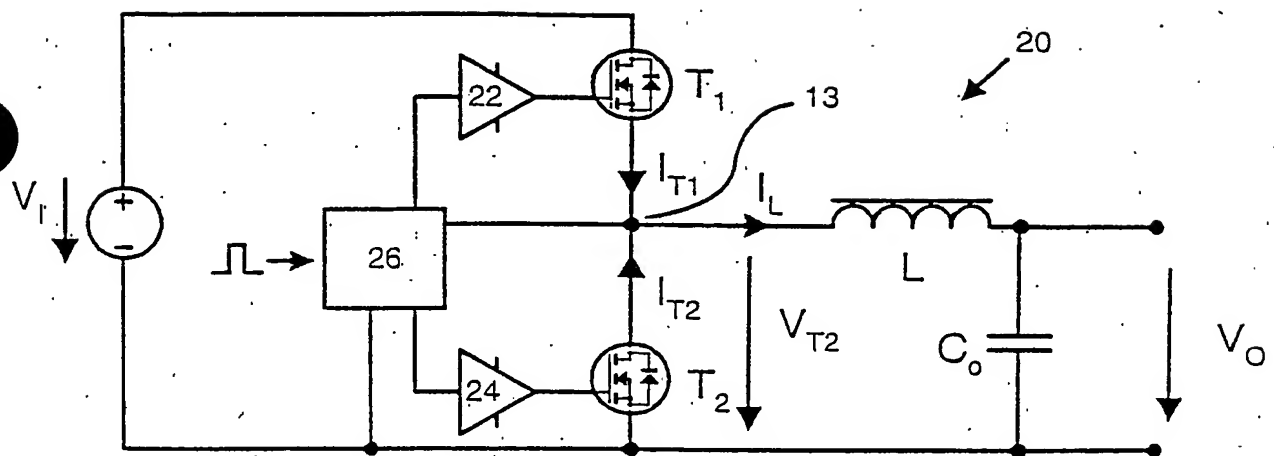


Fig. 3 (Stand der Technik)

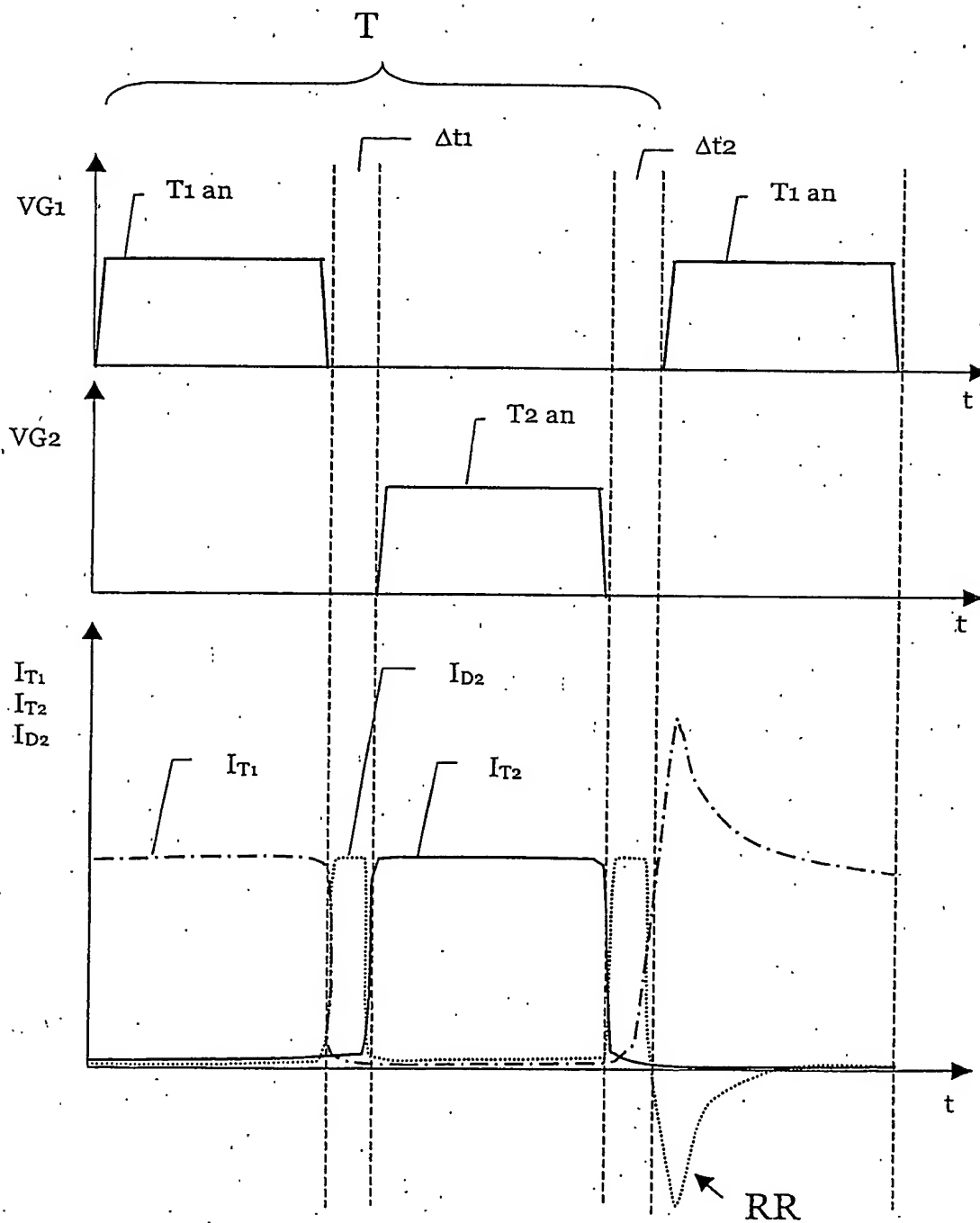


Fig. 4

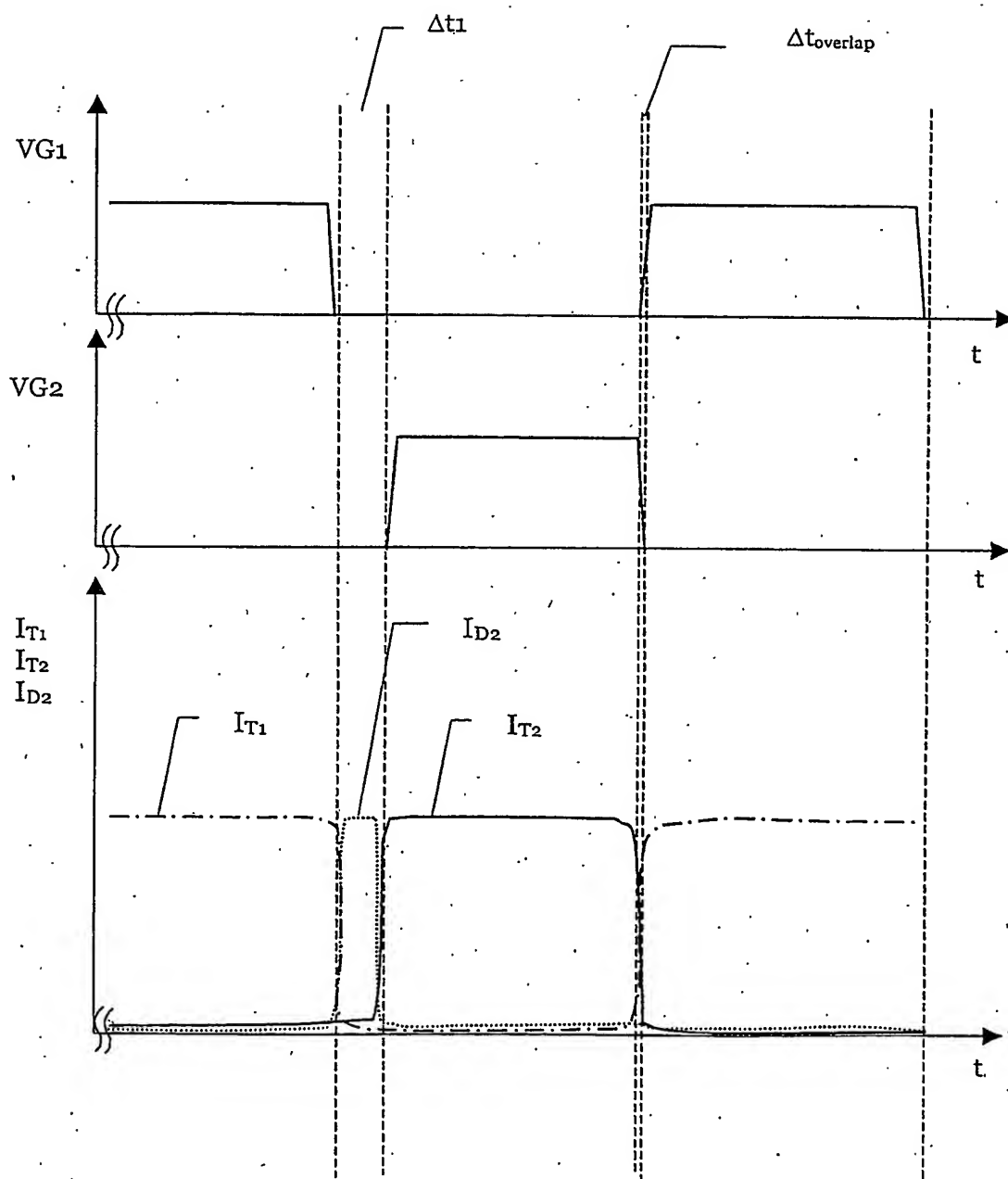


Fig. 5

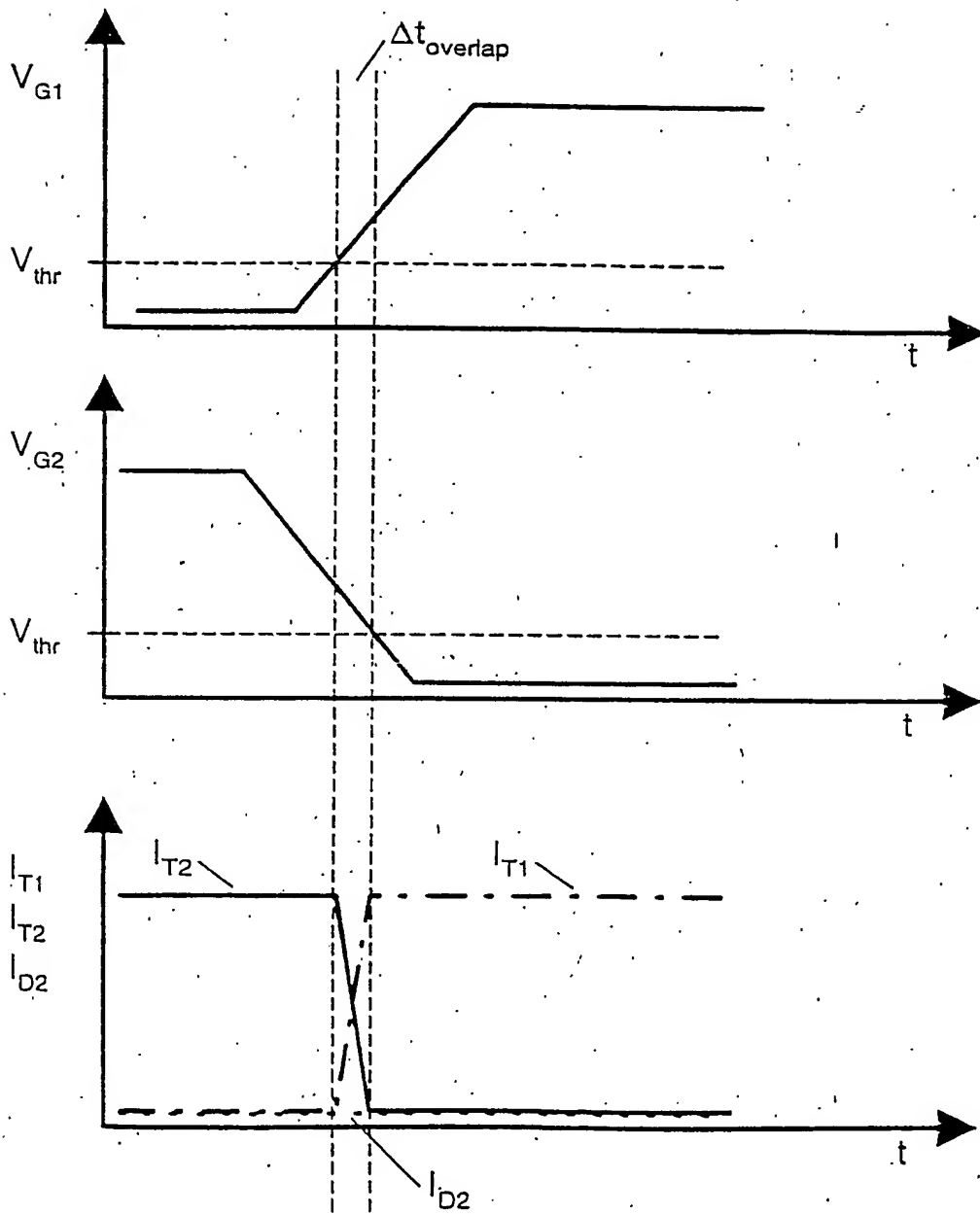


Fig. 6

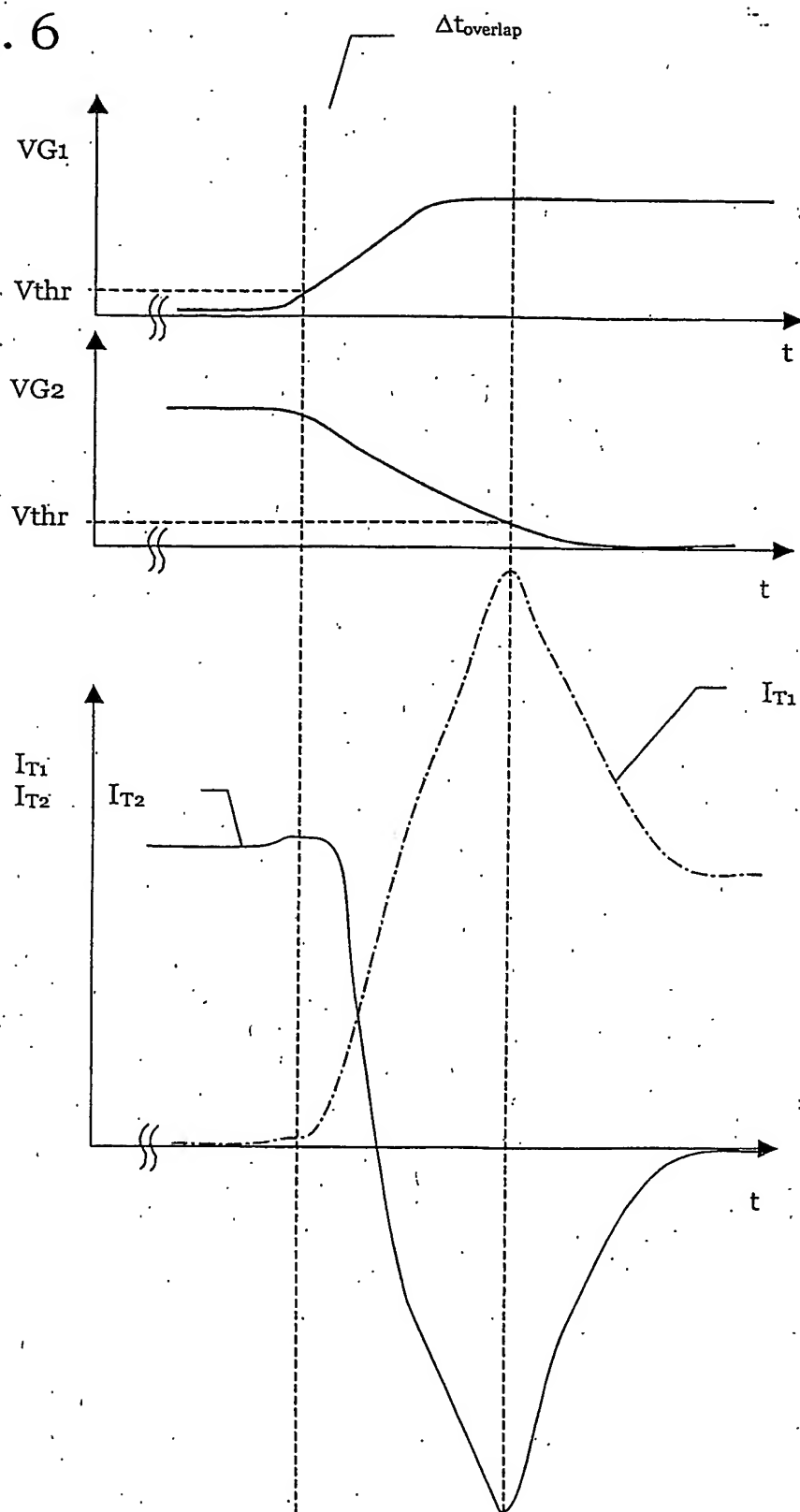


Fig. 7

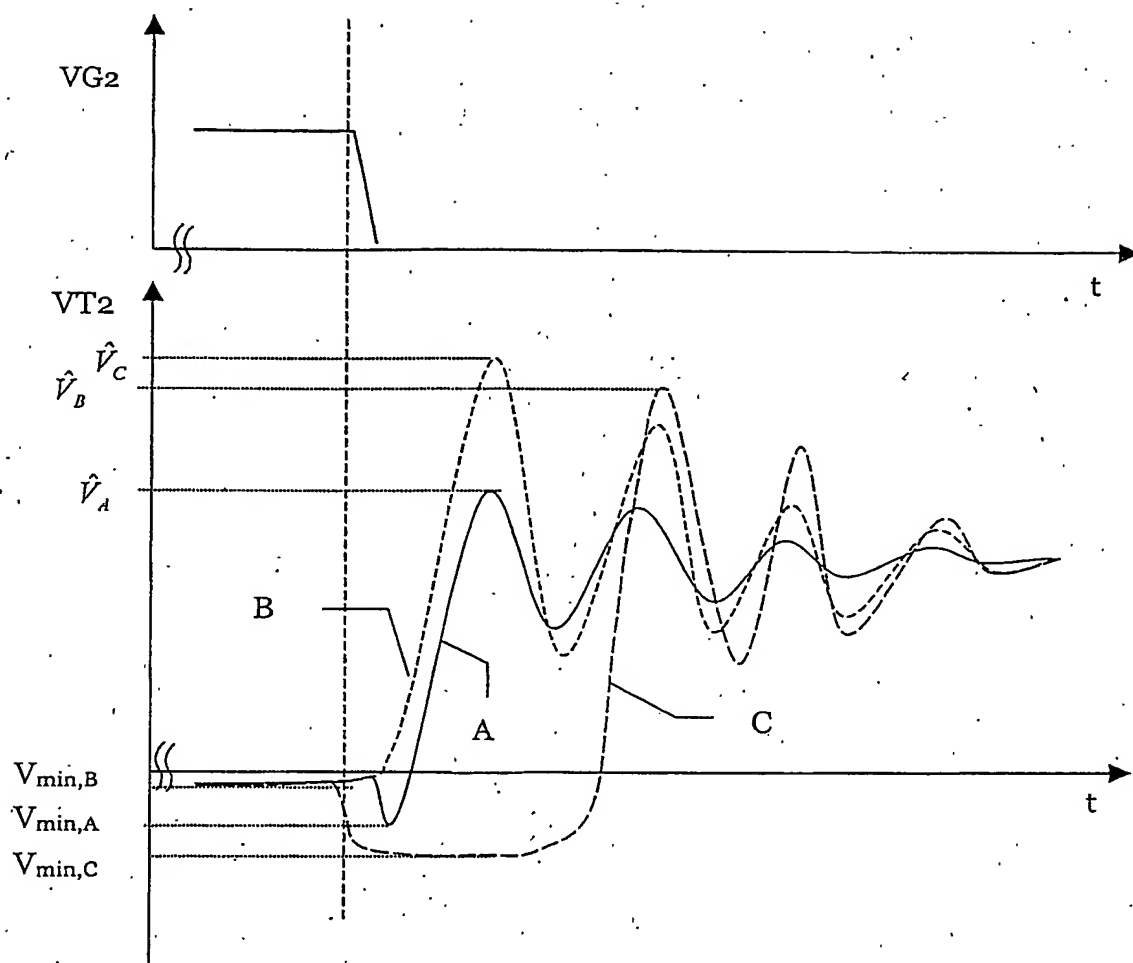


Fig. 8

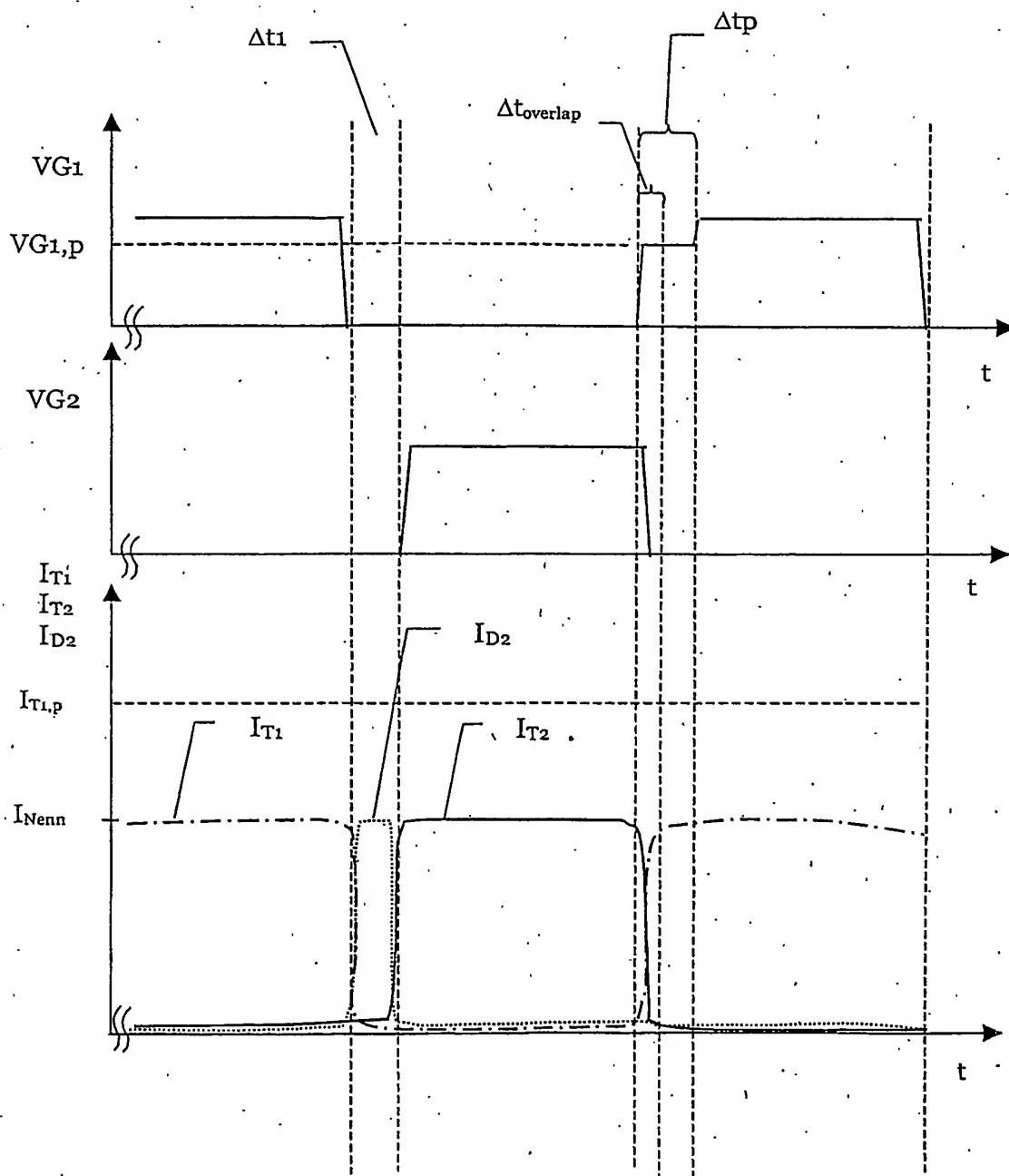
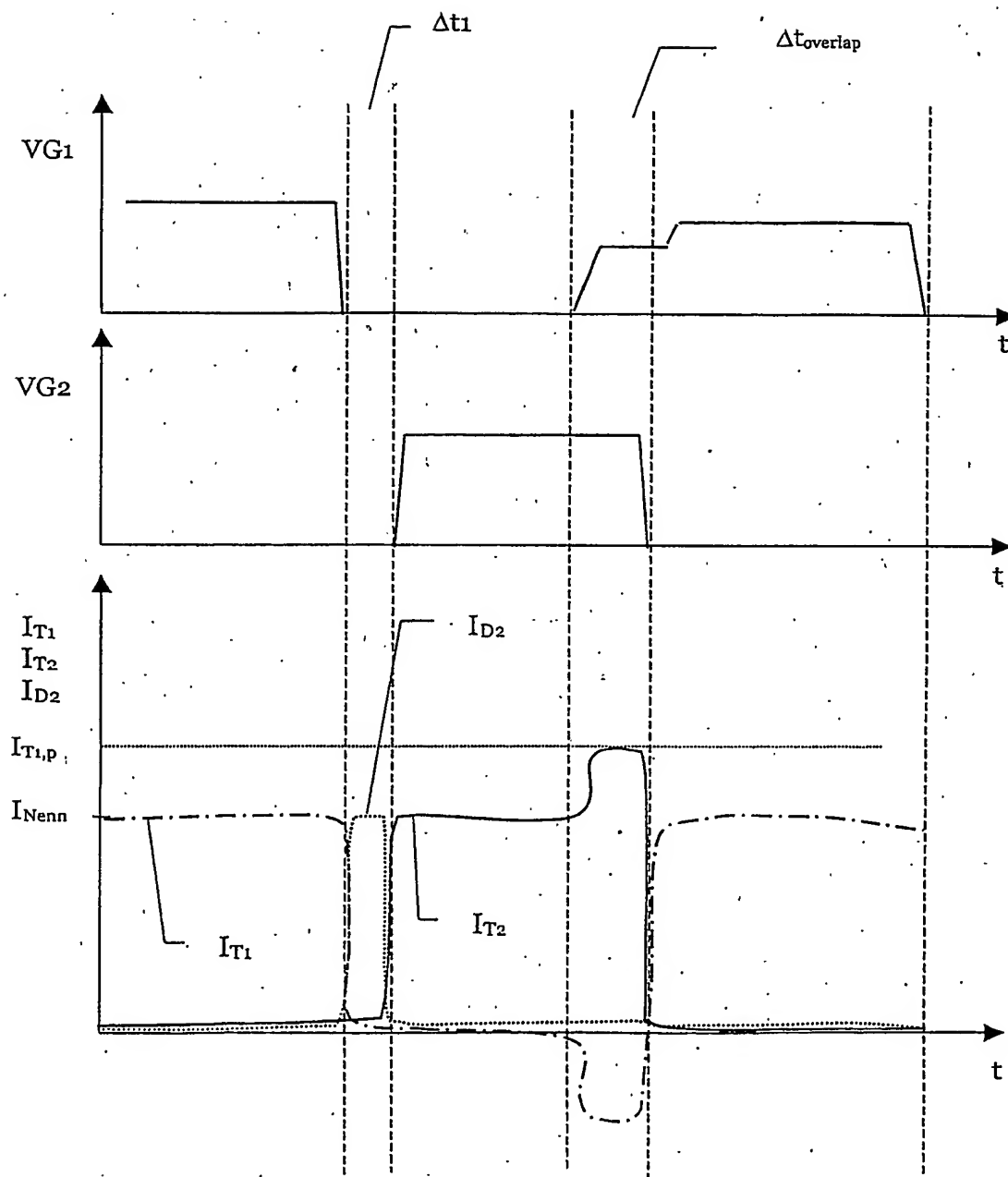


Fig. 9



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.